

第7章 デジタル演算回路

デジタル信号処理
音声, 音楽, 通信信号

信号 = 符号付き2進データ

負の数値の表現方法

2進数
nビット

$$B = \sum_{i=0}^{n-1} b_i 2^i$$

2の補数

$$B + \bar{B} = 2^n$$

$$2^n = 1 + \sum_{i=0}^{n-1} b_i 2^i + \sum_{i=0}^{n-1} \bar{b}_i 2^i$$

$$\bar{B} = 2^n - B = 1 + \sum_{i=0}^{n-1} \bar{b}_i 2^i$$

2進数の補数

2 の補数...各桁のビットを反転した後で
最下位に 1 を加える

(例) 0101 の 2 の補数 $= 1010 + 0001 = 1011$

1 の補数...各桁のビットを反転。

(例) 0101 の 1 の補数 $= 1010$

10進

2進

2の補数表現

7

111

正の数字は
最上位を0にする

0111

6

110

0110

5

101

0101

4

100

0100

3

011



0011

2

010

0010

1

001

0001

0

000

0000

-1

0001

1111

-2

0010

1110

-3

0011



1101

-4

0100

1100

-5

0101

1011

-6

0110

負の数字は
2の補数で表す

1010

-7

0111

1001

符号振幅表現

10進 2進

7 111

6 110

5 101

4 100

3 011

2 010

1 001

0 000

-1 0001

-2 0010

-3 0011

-4 0100

-5 0101

-6 0110

-7 0111



符号ビット
+ 振幅
(絶対値)

0111

0110

0101

0100

0011

0010

0001

0000

1001

1010

1011

1100

1101

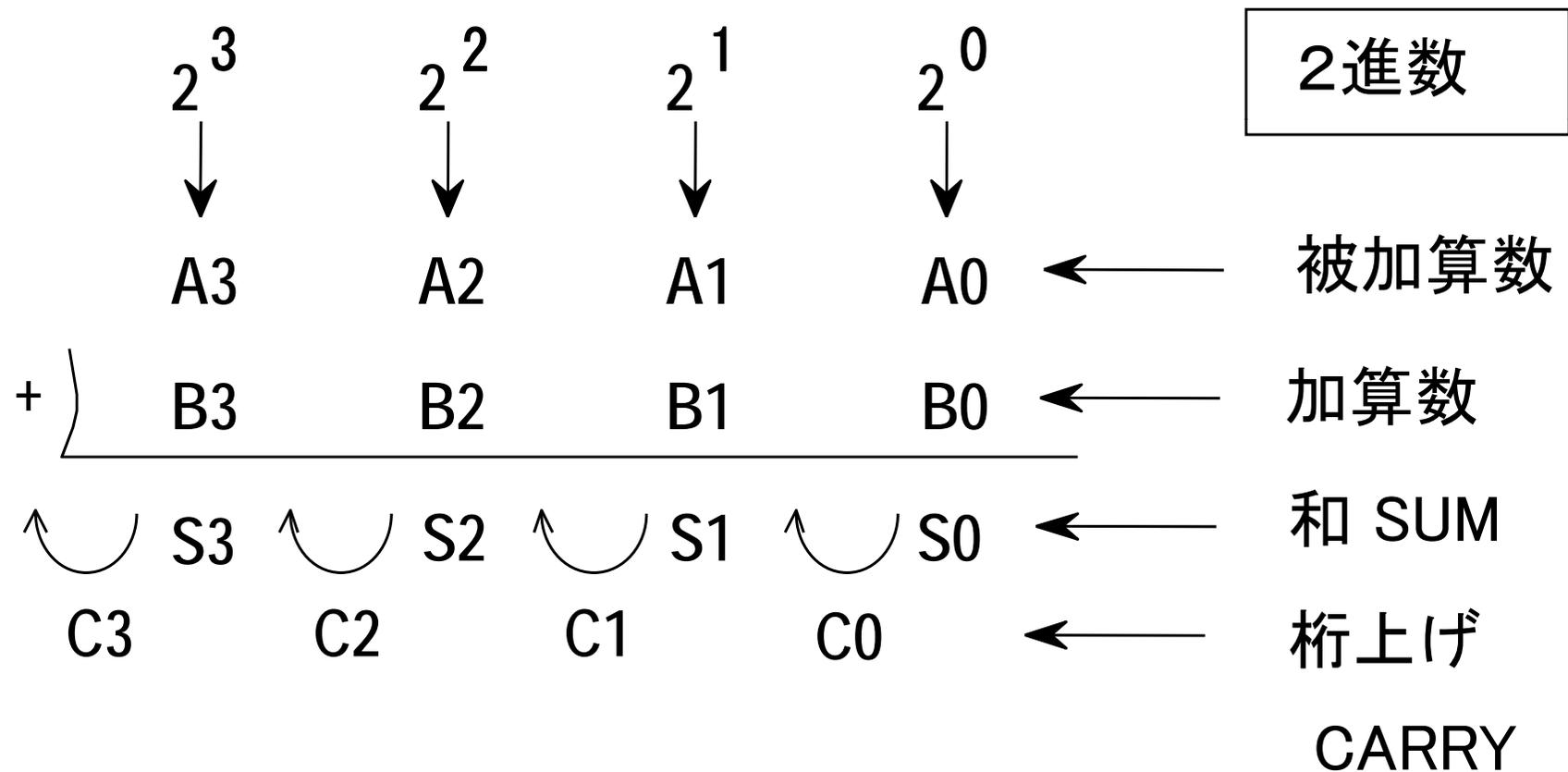
1110

1111

Sign-Magnitude

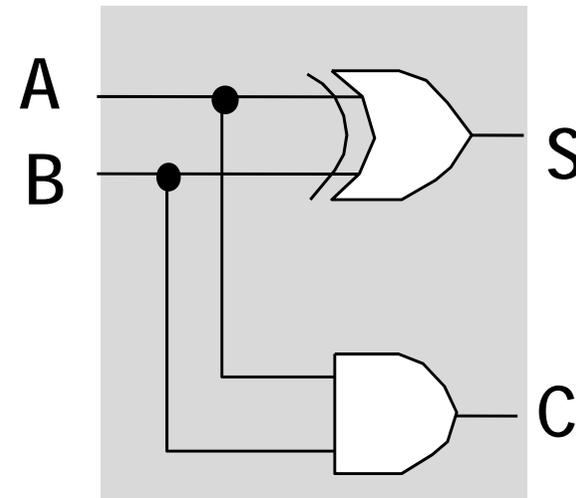
加算回路 Adder

筆算の手順



半加算回路 Half Adder (HA)

A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

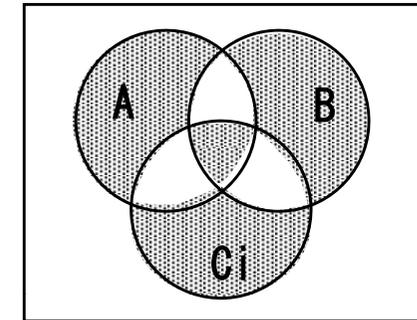
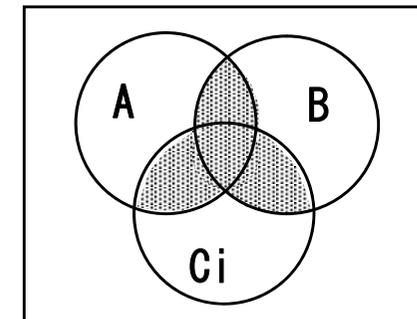


全加算回路

Full Adder : FA

A	B	C_i	S	C_o
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

S

 C_o 

全加算回路の論理式

A	B	C_i	S	C_o
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

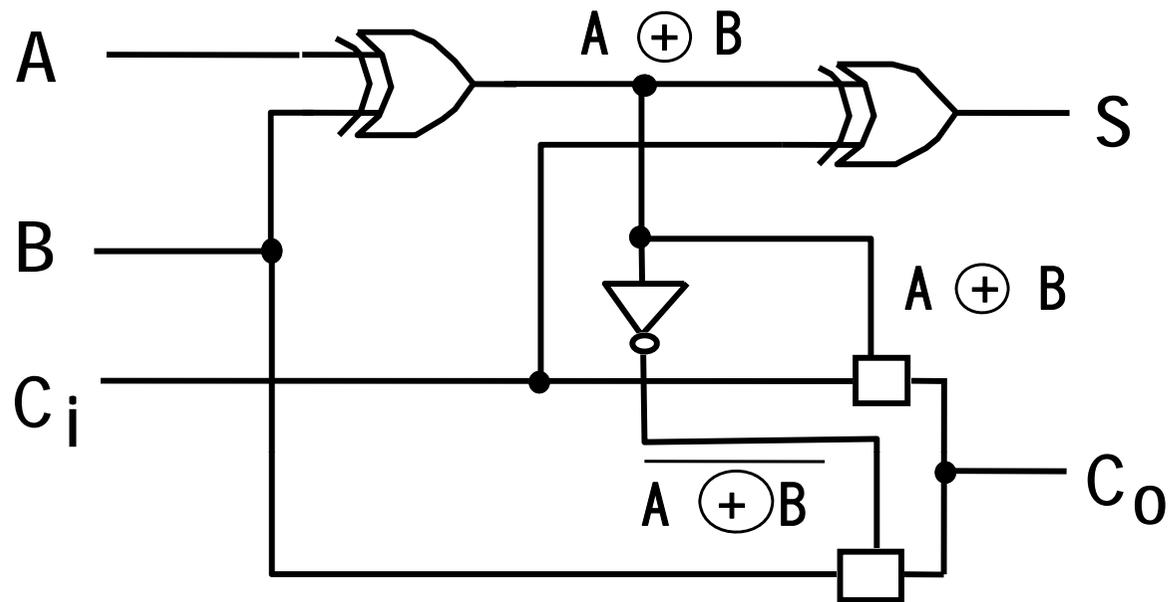
和

$$S = (A \oplus B) \overline{C_i} + \overline{(A \oplus B)} C_i = (A \oplus B \oplus C_i)$$

キャリー-

$$C_o = A \cdot B + (A+B) \cdot C_i = C_i (A \oplus B) + B \overline{(A \oplus B)}$$

全加算回路の論理図



EXORの実現が重要

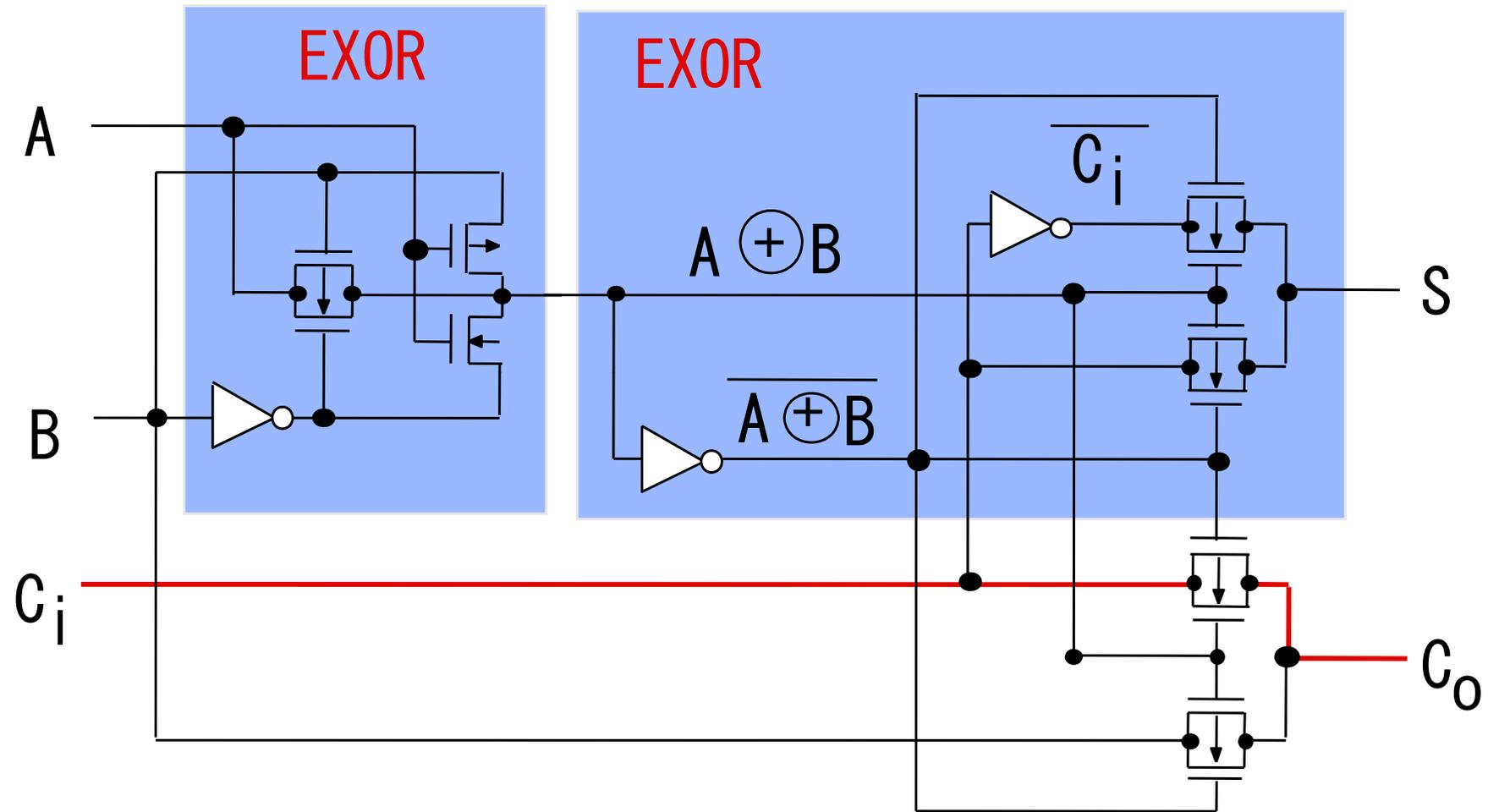
和

$$S = (A \oplus B) \overline{C_i} + \overline{(A \oplus B)} C_i = (A \oplus B \oplus C_i)$$

キャリー-

$$C_o = A \cdot B + (A + B) \cdot C_i = C_i (A \oplus B) + B \overline{(A \oplus B)}$$

マンチェスタ型全加算回路

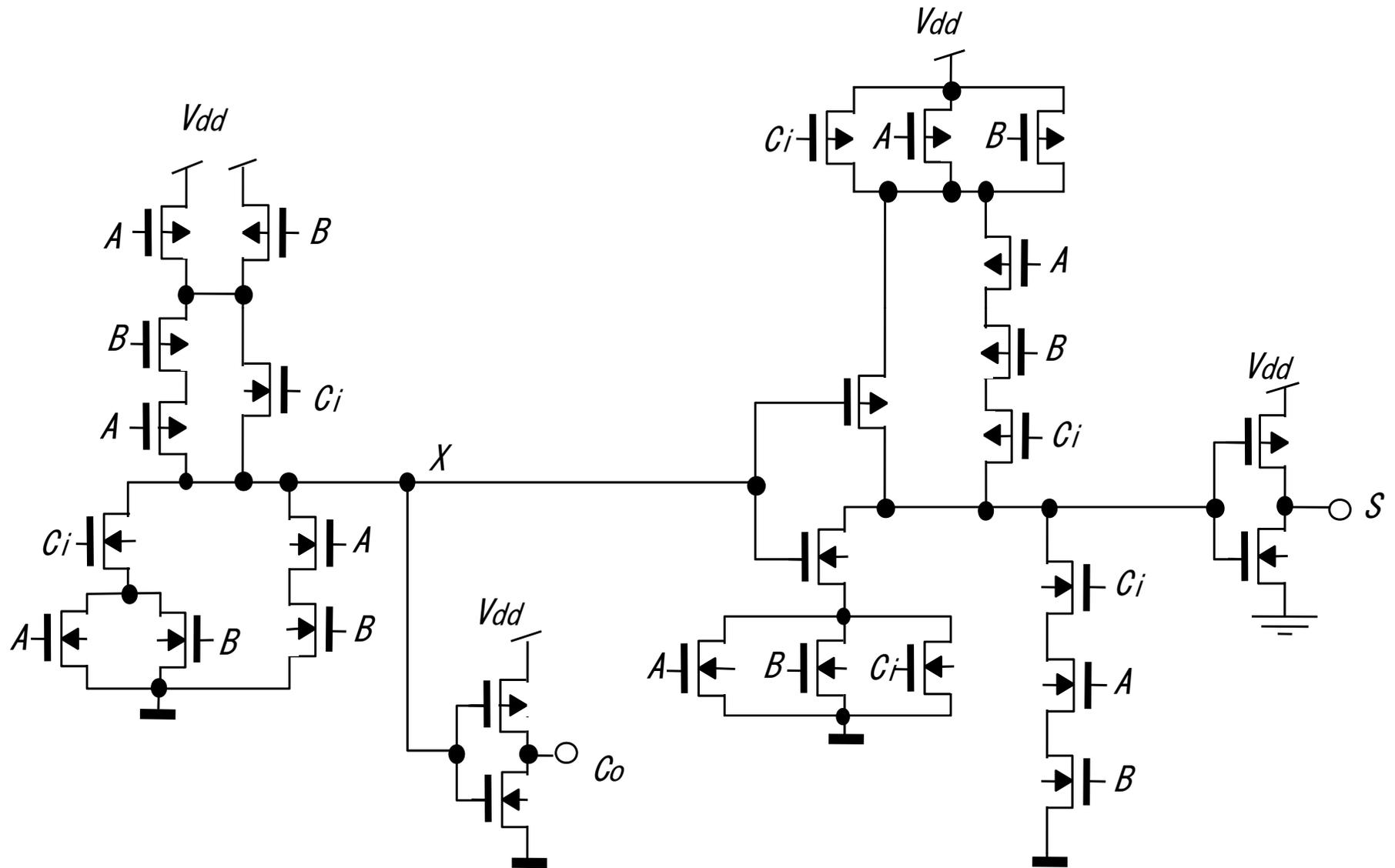


$$\text{和} \quad S = (A \oplus B) \overline{C_i} + \overline{(A \oplus B)} C_i$$

$$\text{キャリ} \quad C_o = (A \oplus B) C_i + \overline{(A \oplus B)} B$$

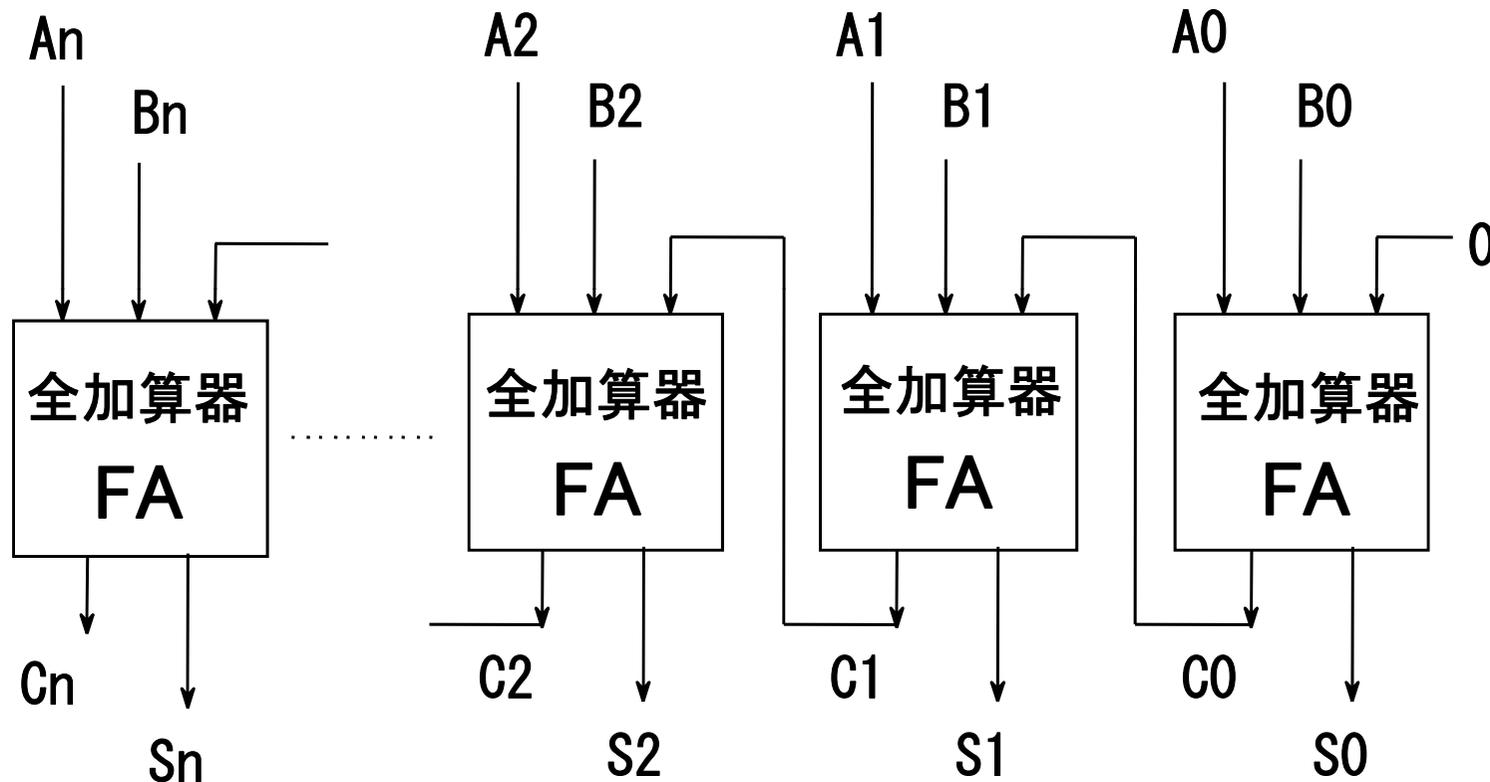
キャリーの伝搬が
速いのが特徴

複合ゲートを用いた全加算回路



nビット加算器

1ビットの全加算器を接続して作る



この形をリップルキャリー型という。

キャリーの伝搬が起こるので速度が遅い

2 進数の減算

被減数に減数の 2 の補数を加える。

減算結果は符号付の数字

最上位ビットは符号ビット (0...+, 1...-)

(例) 下位から 4 ビット目を符号ビットとして、
10 進数で $5 - 3 = 2$ の演算を行う場合

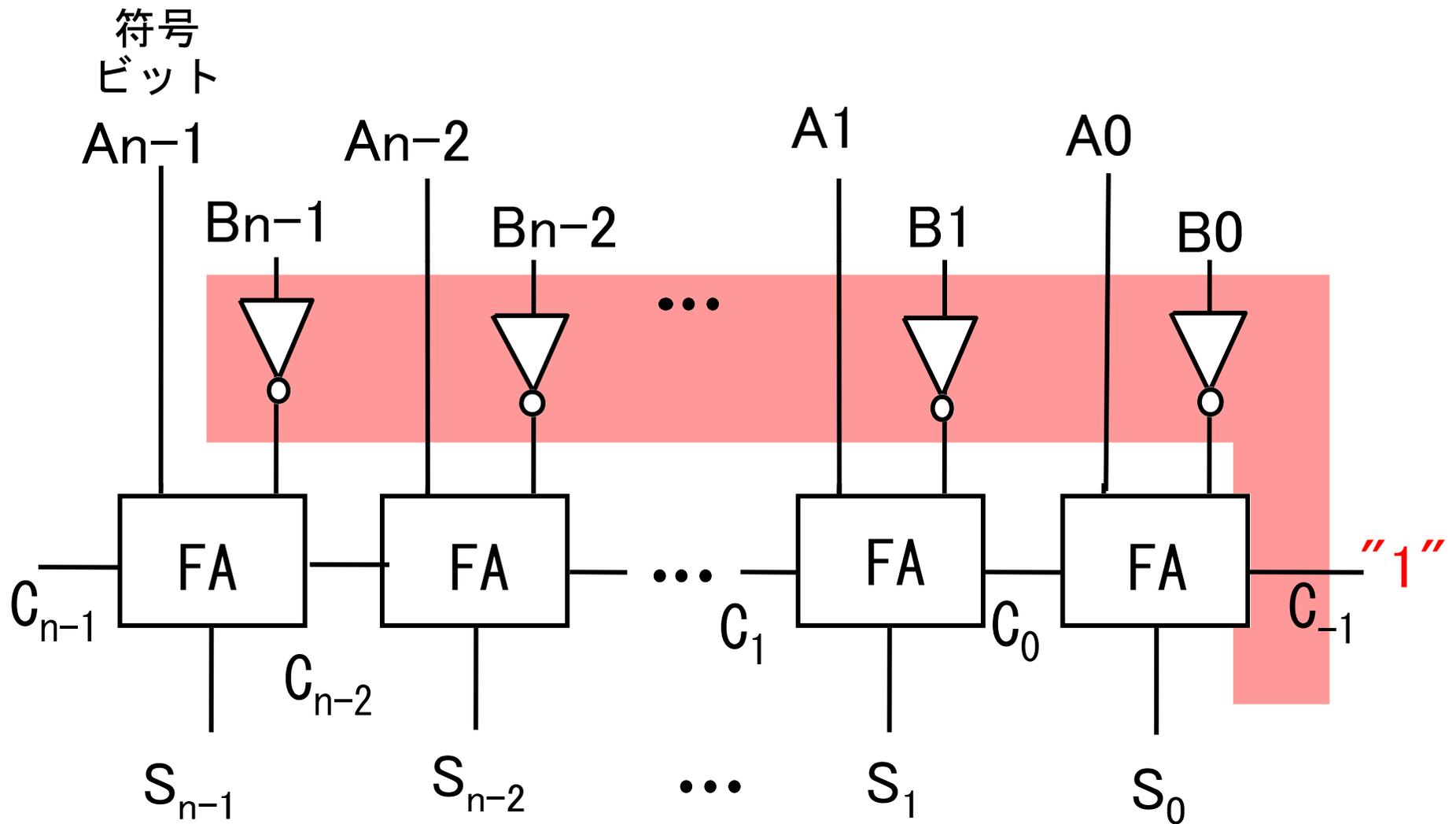
$$0101 - 0011 = 0101 + (0011 \text{ の } 2 \text{ の補数})$$

$$= 0101 + 1101 = 0010 (+2)$$

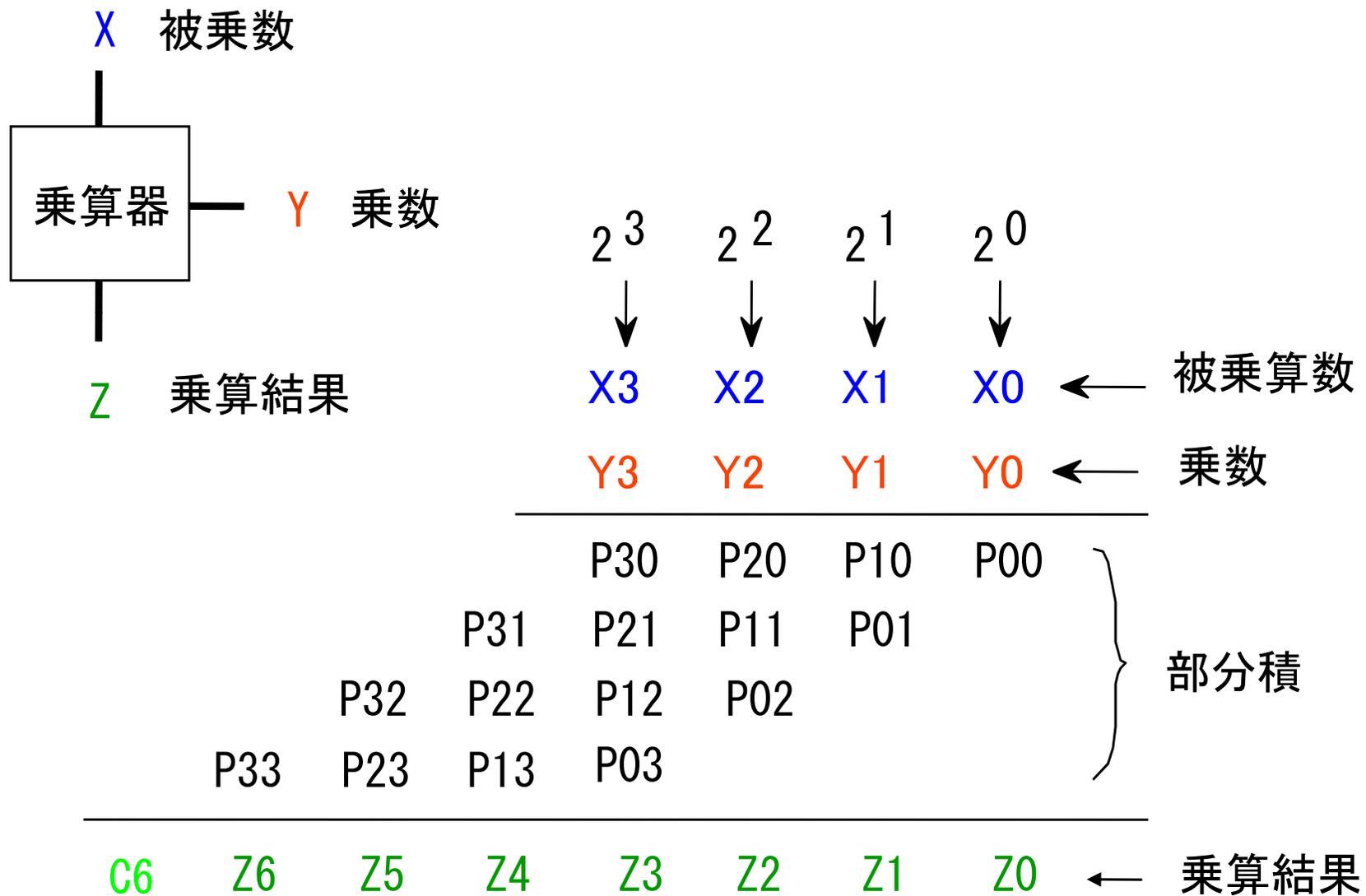
$$3 - 5 = 0011 - 0101 = 0011 + 1011 = 1010 (-2)$$

(符号ビットからの桁上がりは無視)

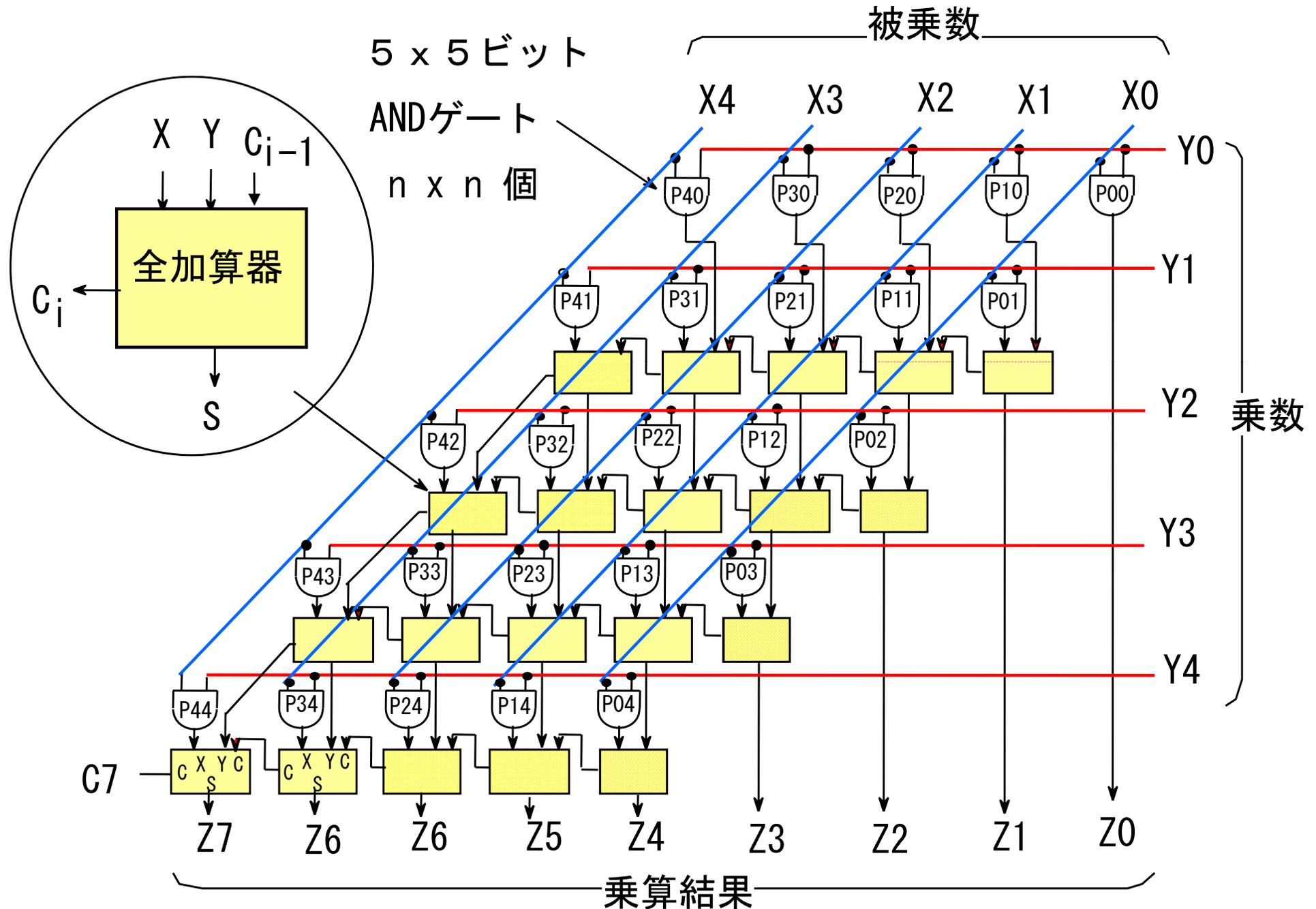
2の補数減算器



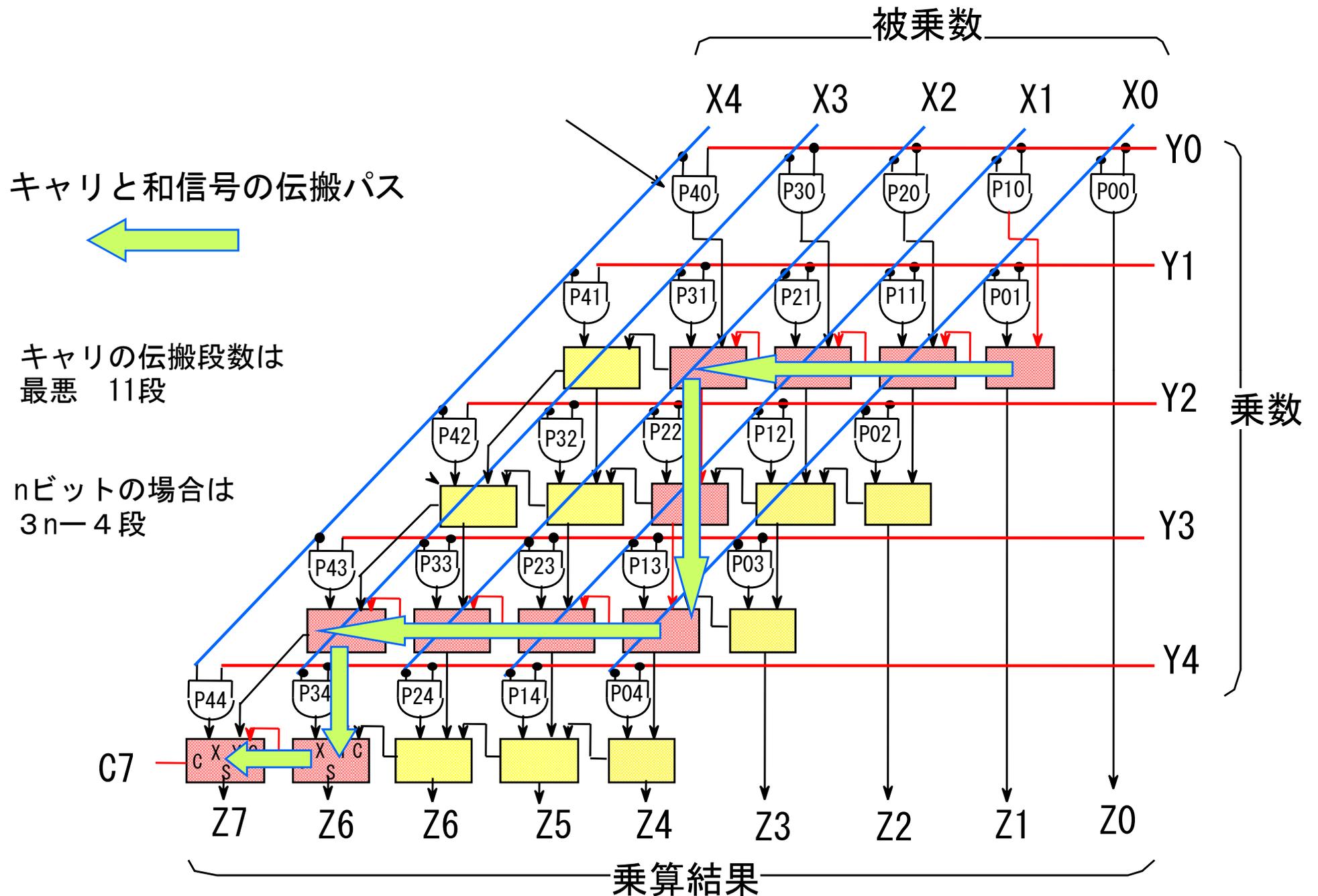
固定小数点乘算器



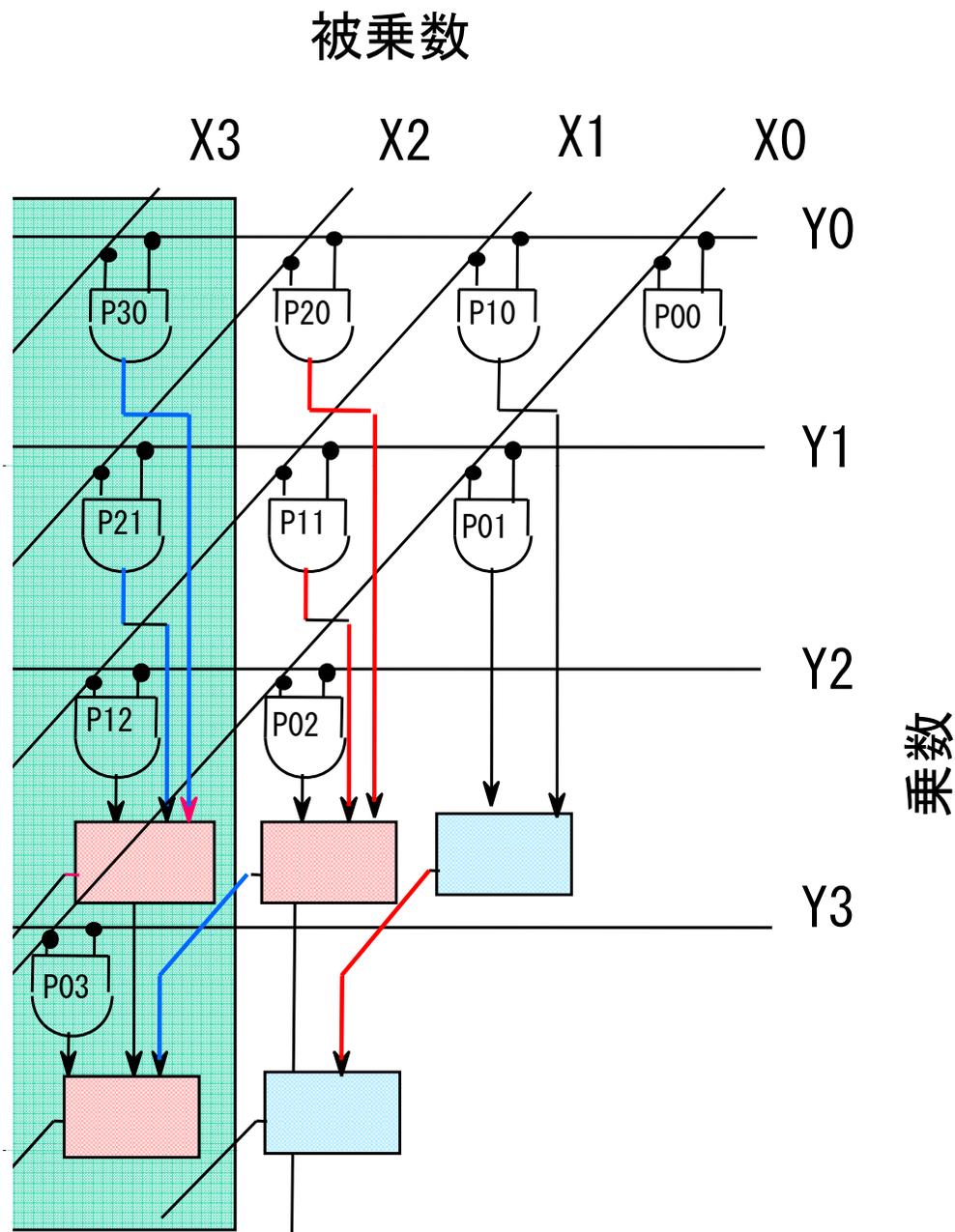
並列乗算器アレイ型



並列乗算器アレイ型



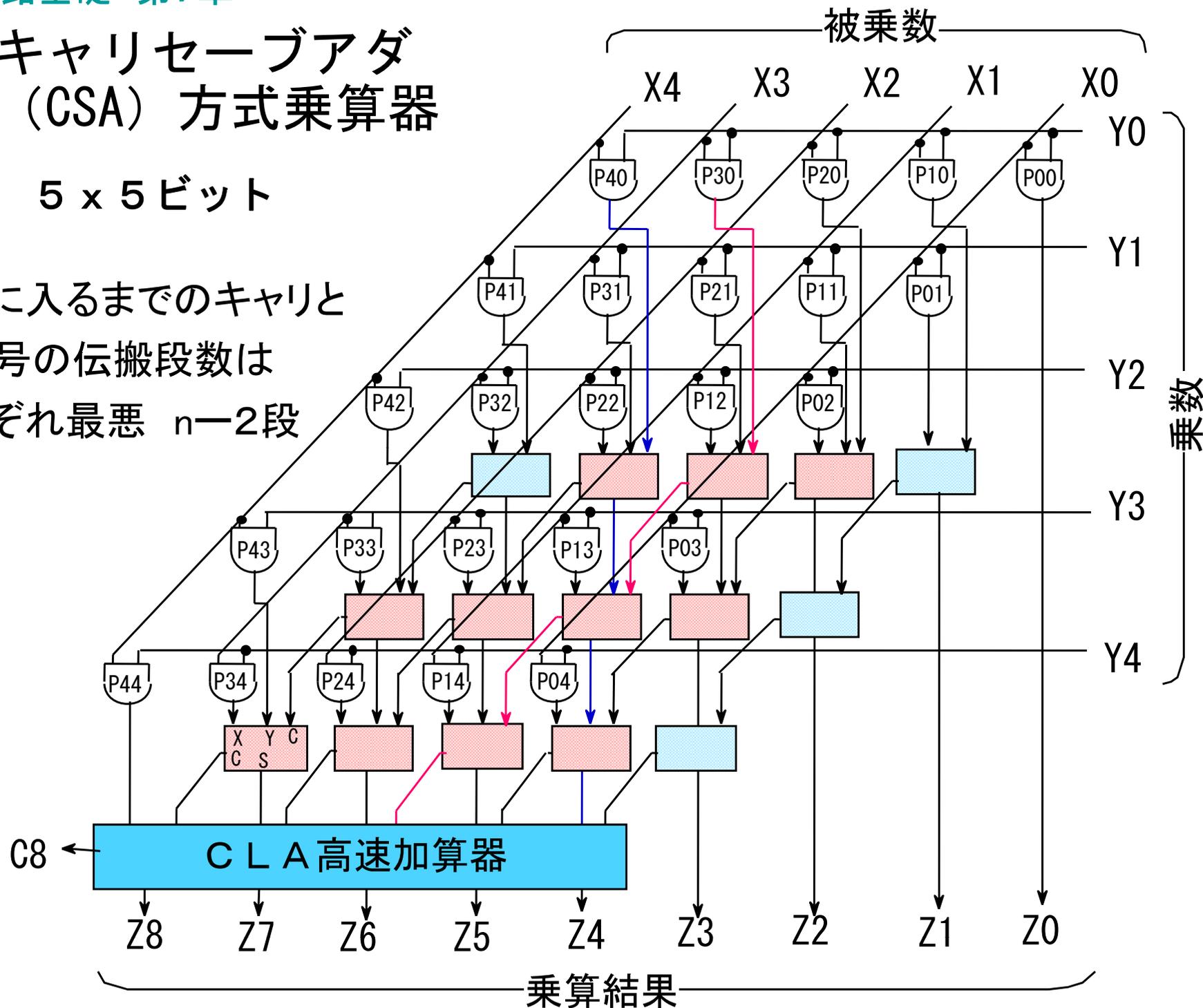
キャリセーブアダー方式



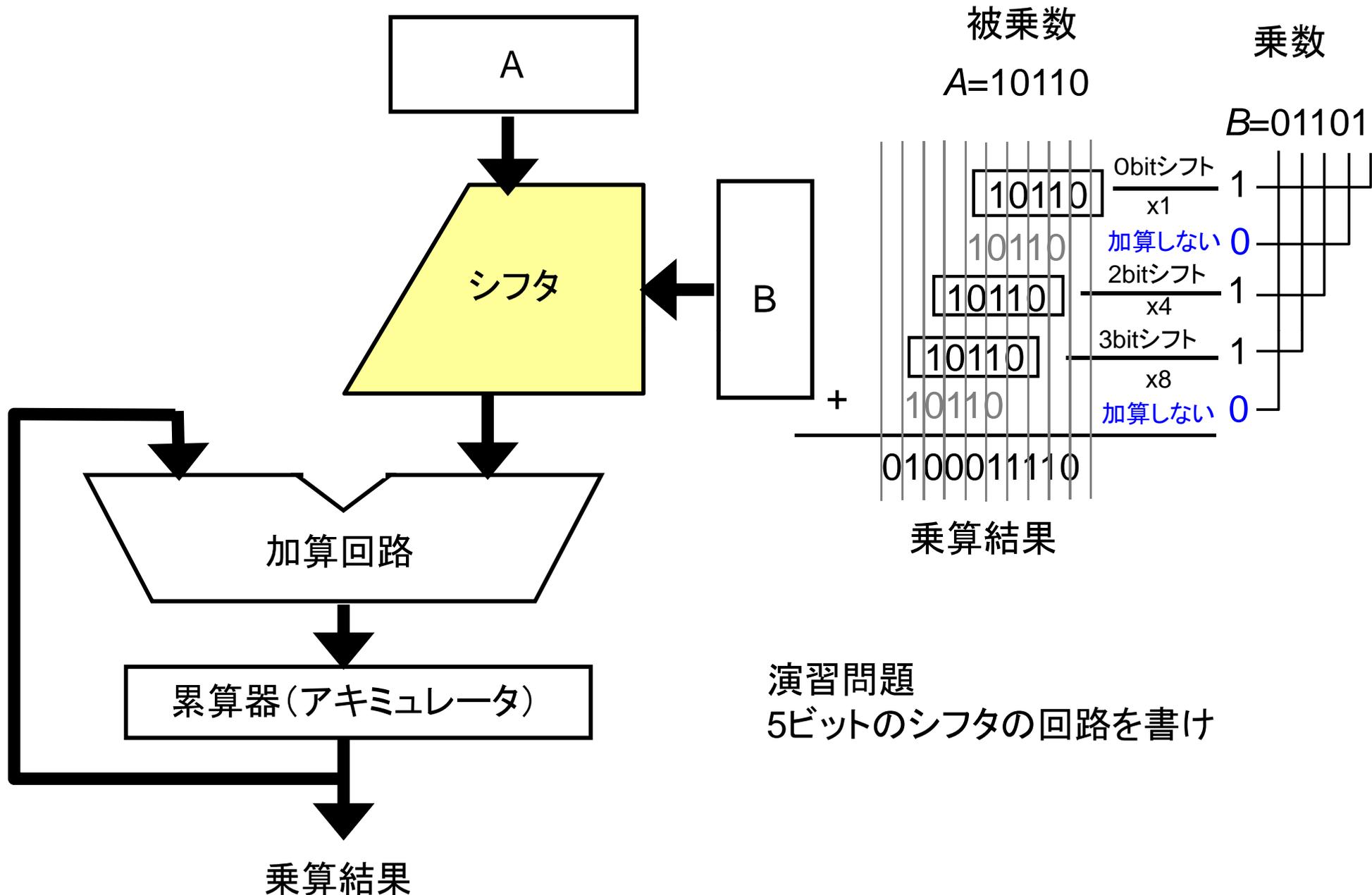
キャリセーブアダ (CSA) 方式乗算器

5 x 5 ビット

CLAに入るまでのキャリと
和信号の伝搬段数は
それぞれ最悪 $n-2$ 段

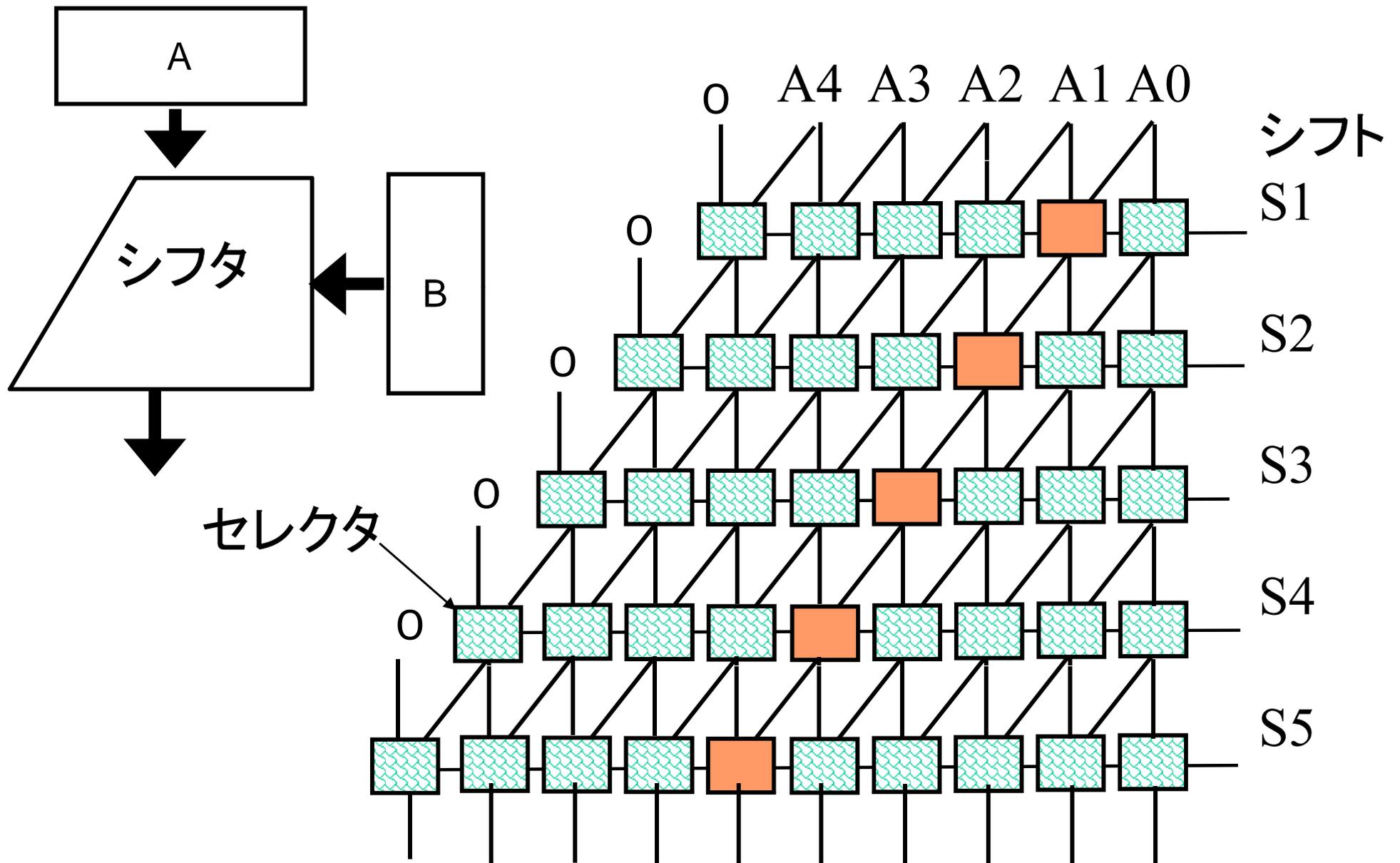


シフト加算による乗算回路



演習問題
5ビットのシフタの回路を書け

5ビットのシフタの回路



宿題1 12月11日

5x5 ビットの並列乗算器アレイ型のゲート数を求めよ
ただし, FAは マンチェスター型を用いよ

INV: 個

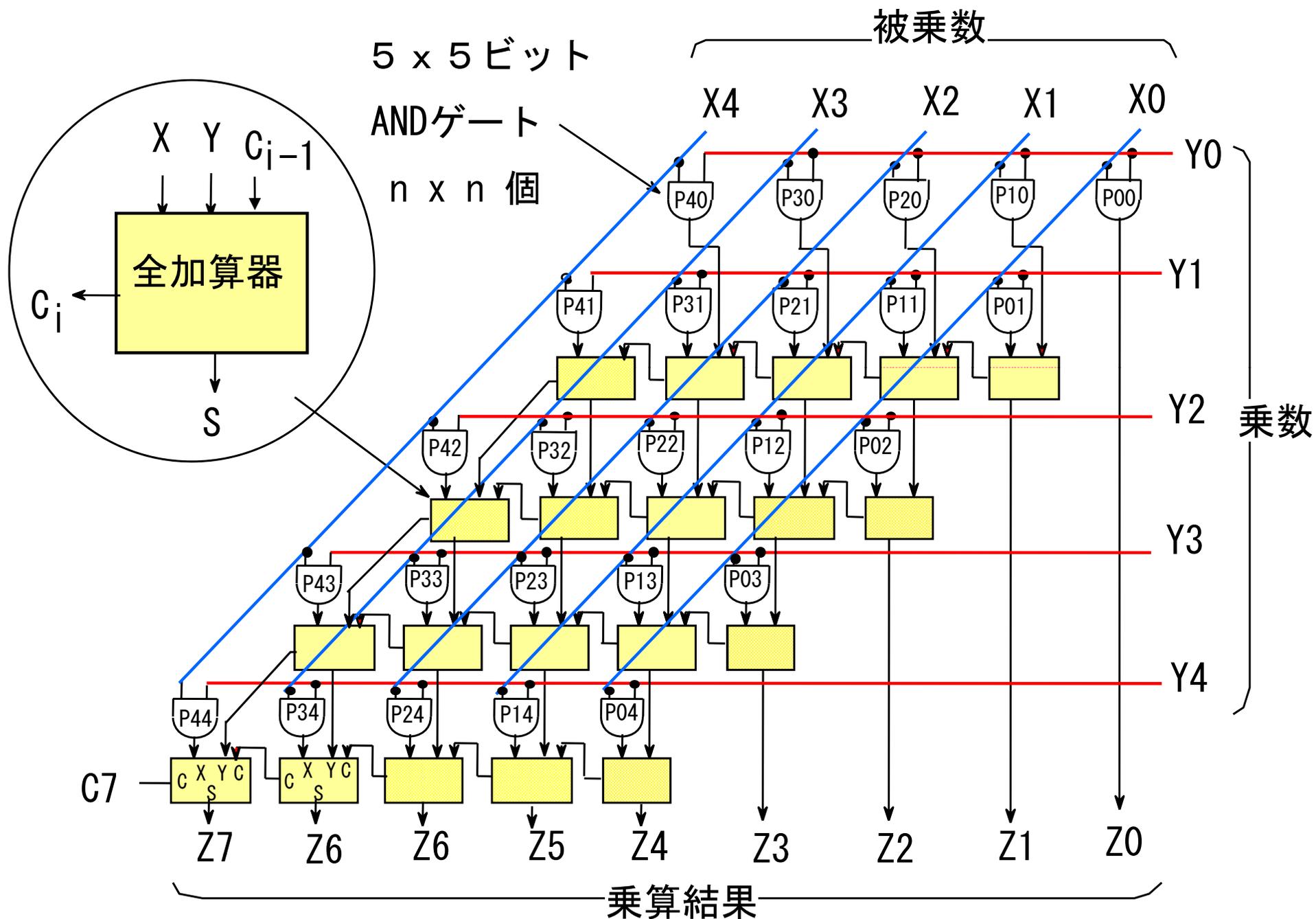
NAND: 個

TG: 個

...: 個

MOSの数を求めよ

並列乗算器アレイ型



宿題1 12月11日

5x5 ビットの並列乗算器アレイ型のゲート数を求めよ
ただし, FAは マンチェスター型を用いよ.

ゲート数

FA: TG=5, INV=4, (マンチェスター型)

AND: NAND=1, INV=1

FA=20, AND=25

INV: $20 \times 4 + 25 \times 1 = 105$ 個

NAND: $25 \times 1 = 25$ 個

TG: $20 \times 5 = 100$ 個

MOSの数

$105 \times 2 + 25 \times 4 + 100 \times 2 = 510$ 個

宿題2 12月11日

5x5 ビットの並列乗算器キャリーセーブ型
のゲート数を求めよ。

ただし, FAは マンチェスター型を用いよ

INV: 個

NAND: 個

TG: 個

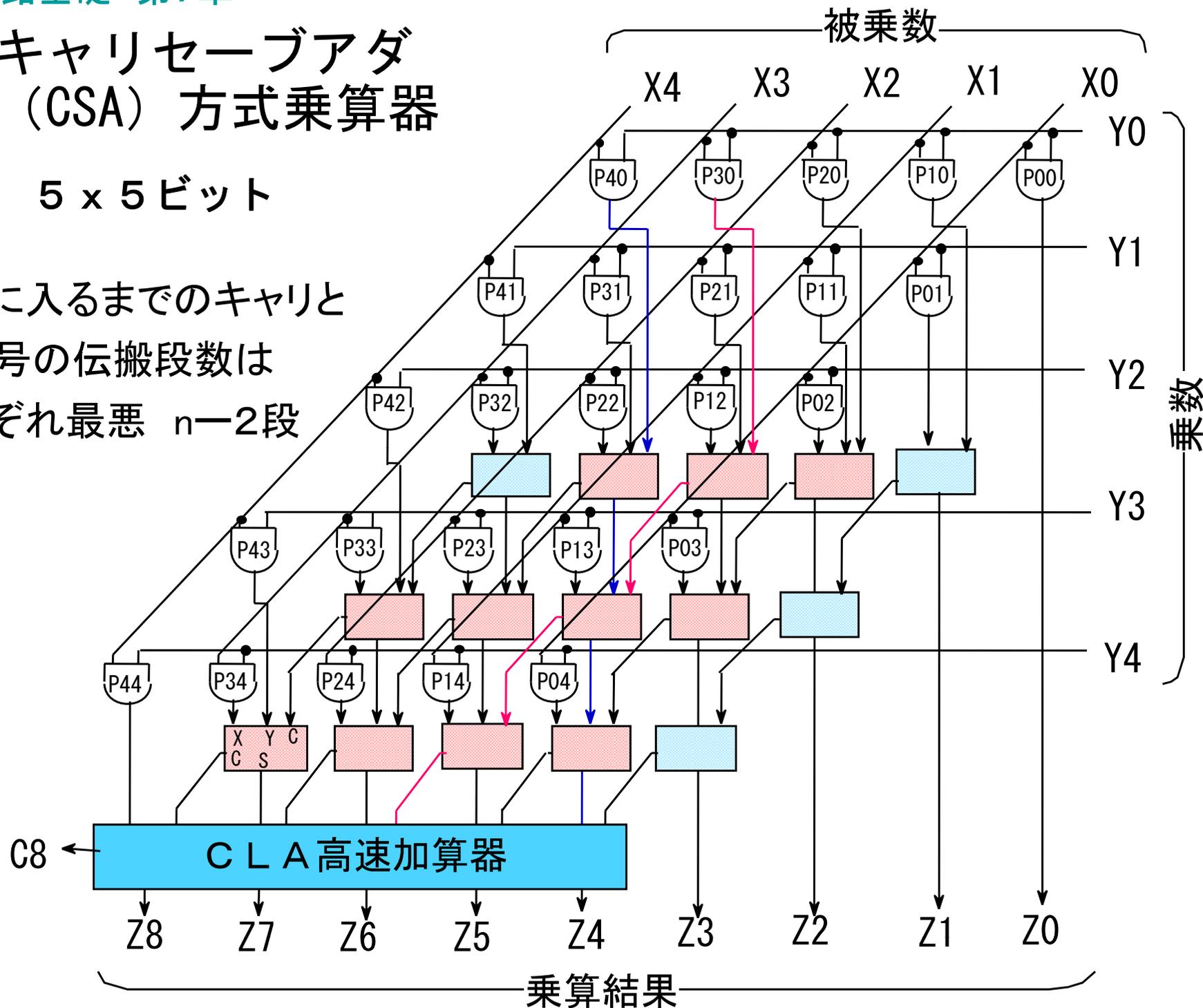
...: 個

MOSの数を求めよ。

キャリセーブアダ (CSA) 方式乗算器

5 x 5 ビット

CLAに入るまでのキャリと
和信号の伝搬段数は
それぞれ最悪 $n-2$ 段



宿題2 12月11日

5x5 ビットの並列乗算器キャリーセーブ型
のゲート数を求めよ。

ただし, FAは マンチェスター型を用いよ

CLA加算回路を用いないと アレイ型と同じ
CLA加算回路はキャリーを演算する回路である。
ゲート数が増加する。

キャリーの論理式

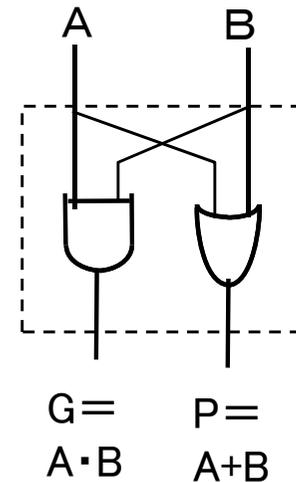
$$C_0 = A \cdot B + (A+B) \cdot C_i$$

$$C_0 = G_0 + P_0 \cdot C_{-1}$$

$$C_1 = G_1 + P_1 \cdot C_0 = G_1 + G_0 \cdot P_1 + P_0 \cdot P_1 \cdot C_{-1}$$

$$C_2 = G_2 + P_2 \cdot C_1 = G_2 + G_1 \cdot P_2 + G_0 \cdot P_1 \cdot P_2 + P_0 \cdot P_1 \cdot P_2 \cdot C_{-1}$$

$$C_3 = G_3 + P_3 \cdot C_2 = G_3 + G_2 \cdot P_3 + G_1 \cdot P_2 \cdot P_3 + G_0 \cdot P_1 \cdot P_2 \cdot P_3 + P_0 \cdot P_1 \cdot P_2 \cdot P_3 \cdot C_{-1}$$



演習問題

INV, NAND, NORを用いて全加算器の回路を書け.

複合ゲートを用いた全加算器の回路を書け.

それぞれの素子数と論理段数をマンチェスタ型全加算器と比較せよ.

宿題12月18日

ALUを設計し, 論理回路図(デコーダを含む)を書け.

語長 2の補数 8ビットとする

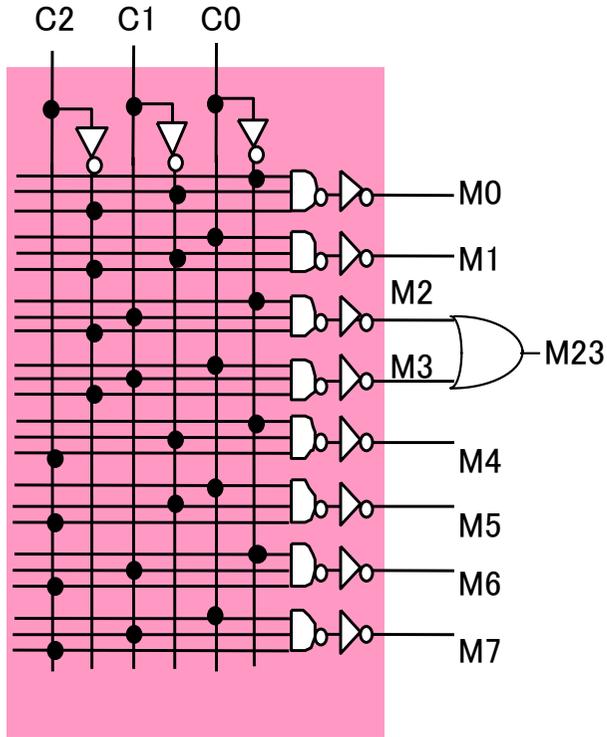
入力 A7~A0, B7~B0, C2~C0

出力 Z8~Z0

制御コード			動作
C2	C1	C0	
0	0	0	A
0	0	1	B
0	1	0	A + B (和演算)
0	1	1	A - B (差演算)
1	0	0	A OR B
1	0	1	A AND B
1	1	0	A XOR B
1	1	1	Left Shift A (最上位は最下位へ)

集積回路基礎 第7章

宿題12月18日解答例 ALUを設計し、論理回路図(デコーダを含む)を書け.



制御コード			動作
C2	C1	C0	
0	0	0	A
0	0	1	B
0	1	0	A + B (算術演算)
0	1	1	A - B (算術演算)
1	0	0	A OR B
1	0	1	A AND B
1	1	0	A XOR B
1	1	1	Left Shift A (最上位はRotate)

